



(19)

(11) Publication number:

10079509 A

Generated Document.

## PATENT ABSTRACTS OF JAPAN

(21) Application number: 09217652

(51) Int'l. Cl.: H01L 29/78 H01L 21/318

(22) Application date: 12.08.97

(30) Priority: 12.08.96 US 96 23752

(43) Date of application publication: 24.03.98

(84) Designated contracting states:

(71) Applicant: TEXAS INSTR INC &lt;TI&gt;

(72) Inventor: HOLLOWAY THOMAS C

(74) Representative:

**(54) METHOD OF IMPROVING  
GATE OXIDE IN DIFFUSION  
MEMBRANE CHARACTERISTIC**

## (57) Abstract:

**PROBLEM TO BE SOLVED:** To improve the gate oxide of a MOSFET transistor in diffusion membrane characteristics by a method, wherein free radicals of nitrogen are generated by the use of a plasma discharge, and the exposed surface of the gate oxide is converted to oxynitride by nitrogen free radicals contained in the atmosphere.

**SOLUTION:** In a MOSFET, a thin-gate oxide is formed on a silicon substrate, and the surface of the gate oxide is turned to an oxynitride surface region by processing. That is, the surface of the gate oxide is exposed to plasma discharge which takes place in an atmosphere of gas mixture of nitrogen gas and nitrous oxide, so as to turn to an oxynitride region. N<sup>+</sup> free radicals generated by discharge dissociation of SiO<sub>2</sub> of the gate oxide to turn the surface of the gate oxide to an oxynitride surface. By this setup, the gate oxide of a MOSFET transistor can be improved in diffusion membrane characteristics.

COPYRIGHT: (C)1998,JPO

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-79509

(43)公開日 平成10年(1998)3月24日

(51)Int.Cl.<sup>8</sup>  
H 01 L 29/78  
21/318

識別記号

府内整理番号

F I  
H 01 L 29/78  
21/318

技術表示箇所  
301G  
C

審査請求 未請求 請求項の数1 OL (全4頁)

(21)出願番号 特願平9-217652

(22)出願日 平成9年(1997)8月12日

(31)優先権主張番号 023752

(32)優先日 1996年8月12日

(33)優先権主張国 米国(US)

(71)出願人 590000879  
テキサス インスツルメンツ インコーポ  
レイテッド  
アメリカ合衆国テキサス州ダラス, ノース  
セントラルエクスプレスウェイ 13500  
(72)発明者 トマス シー. ホロウェイ  
アメリカ合衆国テキサス州マーフィー, ム  
ーンライト ドライブ 134  
(74)代理人 弁理士 浅村皓(外2名)

(54)【発明の名称】 ゲート酸化物の拡散隔膜特性の改良法

(57)【要約】

【課題】 MOSFETトランジスターのゲート酸化物の拡散隔膜特性を改良する。

【解決手段】 ゲート酸化物の拡散隔膜特性が改良されたMOSFETを提供する方法であって、暴露したゲート酸化物表面を有する、部分的に制作したMOSFETを与えることから成る上記方法。MOSFET制作の間、窒素のイオンラジカル、フリーラジカルの一方又は両方を前記の暴露したゲート酸化物表面に適用することによって、前記の暴露したゲート酸化物表面はオキシナイトライドに転換する。次いで、MOSFETの制作は標準的な手段で完成される。

1

## 【特許請求の範囲】

【請求項1】 ゲート酸化物拡散隔膜特性の改良されたMOSFETを提供する方法において、

- (a) ゲート酸化物表面が暴露した部分的に制作したMOSFETを提供し、
- (b) 窒素のイオン又はフリーラジカルの一方又は両方を前記の暴露したゲート酸化物の表面に適用することによって、前記表面を、オキシナイトライドに転換し、
- (c) 前記のMOSFETの制作を完了する段階を含んでなる、方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、MOSFETトランジスターのゲート酸化物(gate oxide, ゲート酸化膜)の拡散隔膜特性を改良する方法に関する。

## 【0002】

【従来の技術】 MOSFETトランジスターの幾何学的形状が連続的に減少してきたことにより、絶えず一層短いゲート長( $<0.3\mu\text{m}$ )が必要とされるようになった。この幾何学的形状の減少により、ゲート酸化物の厚みを約5nmまで減少させ、作業供給電圧を減少させて、閾値電圧を高くなり過ぎることなく最小ゲート長を支持することも必要となった。 $n$ -型及び $p$ -型多結晶性ケイ素(ポリシリコン)はMOSFETにおけるゲート電極材料として一般に用いられており、ゲート電極における空乏層深さができるだけ小さくするのに本質的な高ゲート電極ドーピングでは、ポリシリコンからMOSFETのゲート酸化物を通り、チャンネル領域へのドーパントの拡散は、ゲート酸化物の厚みが減少すると大きな問題となる。この問題は、 $p$ -型ポリシリコンゲート電極を有する $p$ -チャンネルMOSFETにおけるホウ素をドープしたポリシリコンゲートの場合には特に決定的である。

## 【0003】

【発明が解決しようとする課題】 最新式のMOSFETトランジスターの制作においてこの問題点をできるだけ少なくしようとする試みは、一般的にはゲート酸化物の拡散隔膜特性の改良を含んでいた。MOSトランジスターのゲート酸化物に改良された拡散隔膜特性を提供する従来技術による方法は、ゲート酸化物の表面を $\text{N}_2$ 及び/又は亜酸化窒素( $\text{N}_2\text{O}$ )の形態で暴露させる加工中に環境中への窒素の導入を伴っていた。ゲート酸化物の暴露した表面にオキシナイトライドを形成することによってゲート酸化物へ所望な拡散隔膜特性を提供するが、この方法でも、窒素がチャンネル/ゲート酸化物( $\text{Si}/\text{SiO}_2$ )界面に存在するので、表面キャリヤー移動度が減少することになる。

【0004】 再酸化した窒化酸化物( $\text{ROXNOX}$ )及び亜酸化窒素環境を用いて成長させた酸化物を用いて $\text{SiO}_2$ の隔膜特性を改良するための試みも行われてきた。いずれの場合にも、多量に窒化した領域は $\text{Si}/\text{S}$

2

$\text{iO}_2$ チャンネル界面付近であり、キャリヤー移動度が低下する。オキシナイトライド蒸着又は通常のイオン注入(ion implantation)のような、チャンネル界面から離れたゲート酸化物にオキシナイトライド領域を組み入れる他の方法には、酸化物が極めて薄く約10nm以下であるので、極めて精確な蒸着制御又は極めて低いイオン注入エネルギーを必要とするという問題がある。従つて、拡散隔膜の形成を目的としてMOSFETを新たに生成せらるには、改良された手続きが必要であることは明らかである。

## 【0005】

【課題を解決するための手段】 本発明によれば、 $\text{SiO}_2$ の拡散隔膜特性を改良する方法が提供され、この方法はプラズマ放電を用いて窒素のフリーラジカルを生成させ、環境中の窒素のフリーラジカルが、暴露したゲート酸化物の表面をオキシナイトライドに転換することによって行われる。更に、プラズマ反応装置の形状が反応性イオンエッチング(RIE)に通常に用いられるものであるときには、窒素イオンのゲート酸化物の表面へのイオン注入により暴露したゲート酸化物の表面をオキシナイトライドへ転換するには、約50eV～約1000eV、好ましくは約300eVの極めて低いエネルギーが必要である。この手続きは、ゲート酸化物を有するウェーハーを約27°C～約800°Cの低温に加熱することを含んでいるが、酸化物への窒素の組み込みを多くするには高温の方が良好であるが、300°C以下がRIE装置と一層適合する。好ましいトレードオフ温度は、約650°Cである。この結果、ゲート酸化物の表面領域に窒素が含まれる。重要な点は、MOSFETにおける表面キャリヤー移動度が減少しないように $\text{SiO}_2$ ゲート層の底に窒素が到達しないようにすることである。従つて、窒素は、少なくとも1原子単層(約0.3nm)だけゲート酸化物/シリコン基体界面から離れている。従つて、許容可能な深さの生成する範囲は、標的ゲート酸化物の厚みによって変化するが、4nmのゲート酸化物については、許容可能な深さの範囲は約1原子層～約3.5nmであり、好ましいピーク濃度深さは表面から1nmである。

【0006】 簡単に説明すれば、MOSFETは、部分的にはシリコン基体上に薄いゲート酸化物の形成までを含む通常の方法で制作される。次に、暴露したゲート酸化物の表面を処理して、オキシナイトライド表面領域を形成させる。

【0007】 オキシナイトライド領域は、ゲート酸化物表面を、放電における主要ガス又はガス混合物として窒素ガス( $\text{N}_2$ )及び/又は亜酸化窒素( $\text{N}_2\text{O}$ )を用いるプラズマ放電に暴露することによる好ましい態様に従つて形成される。この放電から生成した $\text{N}^+$ フリーラジカルが表面 $\text{SiO}_2$ を解離して、表面オキシナイトライドを形成する。

50

【0008】また、本発明の第二の態様によれば、プラズマ反応装置が反応性イオンエッチング(RIE)配置にあって、基体が動力電極上にある場合には、ゲート酸化物の窒素イオンによる表面衝撃が起こり、酸化物の表面の極めて低いエネルギーイオン注入を生じる。このイオン注入のエネルギーは、プラズマに関する基体電位によって制御され、プラズマは反応装置の電力密度及びガス圧によって制御される。窒素フリーラジカル転換又はイオン衝撃、又は両者の組み合わせを用いて、薄いゲート酸化物の表面をオキシナイトライドに転換し、ゲート電極からのドーパント不純物の拡散を抑制することができる。次いで、MOSFET工程フローを標準的な方法で係属して、その制作を完了する。

## 【0009】

【発明の実施の形態】本発明によるMOSFETの制作は、ゲート酸化物の形成までを含むが、ゲート電極蒸着を含まない標準的工程フローであって、ゲート酸化物をその上有するシリコン基体又は層をシリコン基体上で酸化物層をパターニング及びエッチングにより標準的方法で形成させるものを利用する。次に、ゲート酸化物の暴露した表面を、フリーラジカルのみ、イオンのみ、又はフリーラジカルとイオンとの組み合わせを用いることによってオキシナイトライドに添加する。これは、本発明の第一の態様に従って、ウェーハーを約650°Cの温度に加熱し、プラズマ室でN<sub>2</sub>ガスの供給源と共同してマイクロ波プラズマによってフリーラジカルを僅かに発生させることによって行われる。これは、本発明の第二の態様に従って、ウェーハーを約400°Cの温度に加熱した後、含まれているN<sub>2</sub>ガス供給源を有する基体(即ち、RIE様式)に容量的にカップリングしたRF出力を有する平行板反応装置を提供することによって行われる。N<sub>2</sub>ガス圧及びRF出力は、約-300ボルトDCの基体電極バイアスを得て、暴露した酸化物層の窒素イオン衝撃を提供するように設定される。第一及び第二の態様の組み合わせも、同時に第三の態様として提供することができる。表面にオキシナイトライドを形成したゲート電極蒸着の後に、残りの標準的なMOSFET工程フローを行い、装置の制作を完了する。

【0010】本発明を特定の好ましい態様に関して説明してきたが、多くの変更及び改質は、当業者であれば直ちに明らかになるであろう。従って、請求の範囲は、このような総ての変更及び改質を包含するため従来の技術を考慮してできるだけ広汎に解釈すべきである。

【0011】以上の説明に関して更に以下の項を開示する。

(1) ゲート酸化物拡散隔膜特性の改良されたMOSFETを提供する方法において、(a) ゲート酸化物表面が暴露した部分的に制作したMOSFETを提供し、(b) 窒素のイオン又はフリーラジカルの一方又は両方を前記の暴露したゲート酸化物の表面に適用することによって、前記

表面を、オキシナイトライドに転換し、(c) 前記のMOSFETの制作を完了する段階を含んでなる、方法。

(2) ゲート酸化物拡散隔膜特性の改良されたMOSFETを提供する方法において、(a) ゲート酸化物表面が暴露した部分的に制作したMOSFETを提供し、(b) 約50eV～約1000eVの前記の暴露したゲート酸化物の表面に窒素を低エネルギーインプランタルによって、前記の暴露表面をオキシナイトライドに転換し、(c) 前記のMOSFETの制作を完了する段階を含んでなる、方法。

10 (3) 低エネルギーインプラントが、反応性イオン・エッチング・インプラントである、第2項に記載の方  
法。

(4) 拡散隔膜を有するMOSFET用のゲート酸化物の制作において、(a) 半導体材料の層と、前記半導体層と界面を形成している前記の半導体材料の層上の暴露したゲート酸化物とを有する部分的に制作したMOSFET半導体装置を提供し、(b) 前記の暴露した表面を、窒素のフリーラジカル又はイオンの少なくとも一方に暴露して、前記のゲート酸化物の暴露した表面にオキシナイト  
20 ライド領域を形成する段階を含んでなる、方法。

(5) オキシナイトライドを、界面から少なくとも1原子単層だけ間隔を開ける、第4項に記載の方法。

(6) 部分的に制作したMOSFET半導体装置を約27°C～約800°Cの範囲の温度に加熱し、マイクロウェーブプラズマ中に窒素ガスを供給することによってフリーラジカルを発生させ、暴露したゲート酸化物に適用する段階によって、暴露した表面をフリーラジカルに暴露する、第4項記載の方法。

(7) 温度が約650°Cである、第6項記載の方法。

30 (8) オキシナイトライド領域の深さが、0に近づく限定的な距離から、オキシナイトライド層の暴露した面の表面から界面間での距離の約90%である、第4項記載の方法。

(9) オキシナイトライド領域の深さが、0に近づく限定的な距離から、オキシナイトライド層の暴露した面の表面から界面間での距離の約90%である、第6項記載の方法。

40 (10) オキシナイトライド領域の深さが、0に近づく限定的な距離から、オキシナイトライド層の暴露した面の表面から界面間での距離の約90%である、第7項記載の方法。

(11) 部分的に制作したMOSFET半導体装置を約400°Cの温度に加熱し、N<sub>2</sub>ガスの存在下にて前記の加熱した部分的に制作したMOSFET半導体装置に容量的にカップリングしたRF出力を有する平行板反応装置を提供し、前記反応装置にイオンの供給を引き起こせる段階によって、暴露した表面をイオンに暴露する、第4項記載の方法。

(12) N<sub>2</sub>ガスの圧力及びRF出力を、装置で約一  
50 300ボルトDCのバイアスが得られるように設定し

て、暴露した酸化物層の窒素イオン衝撃を提供する、第11項記載の方法。

(13) 暴露した表面を窒素のフリーラジカル又はイオンの両方に暴露して、ゲート酸化物の暴露した表面にオキシナイトライド領域を形成する、第4項記載の方法。

(14) 部分的に制作したMOSFET半導体装置を約40°Cの温度に加熱し、N<sub>2</sub>ガスの存在下にて前記の加熱した部分的に制作したMOSFET半導体装置に容量的にカップリングしたRF出力を有する平行板反応装置を提供し、前記反応装置にイオンの供給を引き起こさせる段階によって、暴露した表面をイオンに暴露し、部分的に制作したMOSFET半導体装置を約27°C～約800°Cの範囲の温度に加熱し、マイクロウェーブプラズマ中に窒素ガ

スを供給することによってフリーラジカルを発生させ、暴露したゲート酸化物に適用する段階によって、前記の暴露した表面をフリーラジカルに暴露する、第13項記載の方法。

(15) ゲート酸化物の拡散隔膜特性が改良されたMOSFETを提供する方法であって、暴露したゲート酸化物表面を有する、部分的に制作したMOSFETを与えることから成る上記方法。MOSFET制作の間、窒素のイオンラジカル、フリーラジカルの一方又は両方を10前記の暴露したゲート酸化物表面に適用することによつて、前記の暴露したゲート酸化物表面はオキシナイトライドに転換する。次いで、MOSFETの制作は標準的な手段で完成される。